

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

#2  
J1002 U.S. Pro  
02/06/02  


**대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE**

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 :  
Application Number

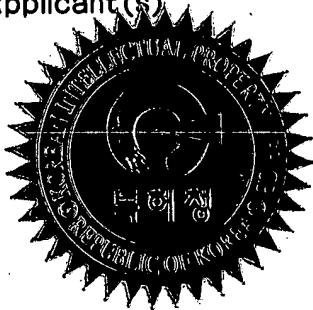
특허출원 2001년 제 5970 호

출원년월일 :  
Date of Application

2001년 02월 07일

출원인 :  
Applicant(s)

삼성전자 주식회사



2001 년 03 월 20 일

특 허 청

COMMISSIONER



**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【제출일자】** 2001.02.07  
**【발명의 명칭】** 엠 또는 이엠 비트 데이터 처리 경용 리드 솔로몬 복호기 및 그 복호 방법  
**【발명의 영문명칭】** Reed-Solomon decoder for processing data with m or 2m bits and method thereof  
**【출원인】**  
**【명칭】** 삼성전자 주식회사  
**【출원인코드】** 1-1998-104271-3  
**【대리인】**  
**【성명】** 정홍식  
**【대리인코드】** 9-1998-000543-3  
**【포괄위임등록번호】** 2000-046970-1  
**【발명자】**  
**【성명의 국문표기】** 김주선  
**【성명의 영문표기】** KIM, JOO SEON  
**【주민등록번호】** 650928-1017923  
**【우편번호】** 462-150  
**【주소】** 경기도 성남시 중원구 은행동 1932-6 현대아파트 112-303  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대  
리인  
정홍식 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 27 면 27,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 56,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통 2. 위임장\_1통

### 【요약서】

#### 【요약】

디지털 통신 및 저장 시스템에 사용되는 리드 솔로몬(Reed\_Solomon: 이하, RS) 복호기 및 복호 방법이 개시되어 있다. 고속 리드 솔로몬 복호기는 저장부, 저장부로부터 2m 비트 단위로 입력되는 데이터로부터 에러 위치와 에러값을 계산하기 위한 계산부 및 계산부 입력과 에러 위치와 에러값에 의해 오류를 정정하여 디코딩된 신호를 출력하도록 계산부를 제어하기 위한 제어부를 포함한다. 본 발명에 따르면 다양한 길이의 RS 부호를 복호할 수 있을 뿐만 아니라 고속처리가 가능하다.

#### 【대표도】

도 4

03

## 【명세서】

### 【발명의 명칭】

엠 또는 이엠 비트 데이터 처리 겸용 리드 솔로몬 복호기 및 그 복호 방법

{Reed-Solomon decoder for processing data with  $m$  or  $2m$  bits and method thereof}

### 【도면의 간단한 설명】

도 1은  $m$ 비트 데이터 처리용 RS 복호기의 블록도이고;

도 2는 도 1의 RS 복호기의 처리 과정을 시구간별로 도시한 타이밍도이며;

도 3은 RS 곱부호의 데이터 구조를 도시한 도이고;

도 4는 본 발명에 따른  $m$  또는  $2m$  비트 데이터 처리 겸용 RS 복호기의 블럭도이며;

도 5는 도 4의 RS 복호기의 내부호에 대한 데이터 처리 과정을 시구간별로 도시한 타이밍도이고;

도 6은 도 4의 RS 복호기의 외부호에 대한 데이터 처리 과정을 시구간별로 도시한 타이밍도이며; 및

도 7은 도 4의 RS 복호기의 신드롬 계산기의 상세 구조도이다.

\* 도면의 주요부분에 대한 부호의 설명 \*

210 : 데이터/이레이져 저장부

220 : 통합 제어부

230 : 제 1 RS 코어

231 : 이레이져 위치 다항식 계산부

233, 253 : 제 1 및 제 2 신드롬 다항식 계산부

235, 255 : 제 1 및 제 2 에러타 위치 다항식 계산부

237, 257 : 제 1 및 제 2 에러 위치/값 계산부

240 : 제 1 RS 코어 제어부

250 : 제 2 RS 코어

260 : 제 2 RS 코어 제어부

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 리드 솔로몬(Reed-Solomon: 이하, RS) 복호기 및 그 복호 방법에 관한 것으로, 더욱 상세하게는 두 개의 RS 코어를 병렬로 사용하여  $m$  또는  $2m$  비트 데이터를 처리할 수 있는 RS 복호기 및 그 복호 방법에 관한 것이다.
- <17> 일반적인 디지털 통신 및 저장 시스템은 데이터의 전송 또는 재생중에 발생하는 에러를 검출 및 정정하기 위하여 전송되는 데이터에 오류 정정용 용장 (redundancy)을 부가하는 오류 정정 부호 방식을 사용한다. 오류 정정 부호 방식에는 블럭 부호 방식과 트리 부호 방식이 있다. 블럭 부호는 선형 부호와 비선형 부호로 나누어진다. 선형 부호는 순회 부호와 비순회 부호로 나누어진다. 순회 부호는 BCH 부호를 포함한다. BCH 부호 중 심볼 단위로 부호어를 구성한 것이 리드 솔로몬 (Reed-Solomon) 부호(이하, RS 부호라 함)이다. 순회 부호나 선형 부호는 RS 부호에 비하여 같은 정정 능력을 갖는 부호에 대해 더 많은 패리티를 필요로 한다. 따라서, 전송 또는 저장할 데이터의 양이 많은 디지털 통신 및 저장 시스템에서는 순환 부호 방식 중 RS 부호가 널리 사용되고 있다. RS 부호는 일련의 연산 과

정을 통하여 수신된 데이터로 부터 에러의 위치 및 에러값을 찾아내는 심볼 단위의 에러 정정 부호이다. 또한, RS 부호는 채널에서 발생하는 산발(random) 및 연집(burst) 오류에 대해 정정 효과가 우수하고, 원하는 오류율을 얻기 위한 부호 선정이 용이한 특성이 있다. 특히, 전송 또는 저장할 데이터의 양이 많은 디지털 통신 및 저장 시스템에 사용되는 RS 부호는 같은 데이터에 대해서 내부호와 외부호를 생성하여 부호화하는 곱부호(product code)로 사용될 때 특히 정정능력이 우수하다.

- <18>      도 1 및 도 2를 참조하여 종래 m 비트 데이터 처리용 RS 복호기를 설명한다.
- <19>      종래 RS 복호기(100)는 RS 코어(110), 제어부(130) 및 저장부(150)를 포함한다.
- <20>      RS 코어(110)는 이레이저 위치 다항식 계산부 (ERALCAL)(111), 신드롬 다항식 계산부(SYNDCAL)(113), 에러타 위치 다항식 계산부 (ERTLCAL)(115) 및 에러값 계산부 (ERTVCAL)(117)를 포함한다.
- <21>      이레이저(erasuer)는 발생된 오류들 중 그 위치를 알 수 있는 에러를 가리킨다.
- <22>      에러타(errata)는 에러와 이레이저를 함께 부르는 명칭이다.
- <23>      제어부(130)는 RS 코어(110)와 저장부(150)를 연결하고, RS 코어(110)를 제어하기 위한 제어 신호(CCON)를 발생한다.
- <24>      저장부(150)는 RS 코어(110)가 데이터(IDATA)로 접근(access)할 수 있도록 하기 위한 데이터 인에이블 신호(ACSEN)를 제어부(130)로 출력한다. 데이터 인에이

블 신호(ACSEN)에 따라 제어부(130)는 블럭 옵셋 어드레스(BADR)와 블럭 제어 신호(BCON)를 저장부(150)로 출력한다. RS 코어(110)는 저장부(150)로 부터 입력된  $m$ 비트의 데이터(IDATA)와 이레이져 플래그(ERAFLAG)를 사용하여 각종 연산을 행한다. 이레이져 플래그는 전단계에서 계산된 에러 플래그이다.

- <25> 신드롬 다항식 계산부(113)는 차례대로 입력되는  $m$  비트의 데이터(IDATA)로 부터 신드롬 다항식을 계산한다.
- <26> 이레이져 위치 다항식 계산부(111)는 차례대로 입력되는 전단계의 이레이져 플래그(EFLAG)로 부터 이레이져 위치를 근으로 갖는 이레이져 위치 다항식을 계산한다.
- <27> 에러타 위치 다항식 계산부(115)는 계산된 신드롬 다항식과 이레이져 위치 다항식으로 부터 에러타 위치를 근으로 갖는 에러타 위치 다항식을 계산한다.
- <28> 에러값 계산부(117)는 계산된 에러타 위치 다항식과 신드롬 다항식으로 부터 에러 위치(ELOC)와 값(EVAL)을 계산한다. 계산 결과인 에러 위치(ELOC), “에러값(EVAL), 에러 플래그(EFLAG) 및 제어용 신호(STATUS)는 제어부(130)로 출력된다.
- <29> 제어부(130)는 RS 코어(110)로 부터 출력된 신호들을 이용하여 데이터를 복호하고 에러를 정정한 후 에러 플래그(EFLAG)와 복호된  $m$  비트의 데이터(ODATA)를 저장부(150)로 출력한다.
- <30> 종래 RS 복호기의 에러 정정 방법은 내부호(inner code) 정정 단계와 외부호(outer code) 정정 단계를 포함한다.
- <31> 먼저 내부호 정정 단계를 설명한다. 채널에서 디모듈레이터(100)로 비트 스트림이 입력되면  $m$ 비트 데이터 심볼로 변환한 후 저장부(150)에 저장한다. 내부호어 길이(inner

codeword length)(N1)와 외부호어 길이(outer codeword length)(N2)의 곱을 만족하는 하나의 에러 정정 코드 블럭(ECC block)인 데이터 심볼이 저장부(150)에 저장되면 에러 정정을 시작한다. RS 코어(110)는 저장부(150)로 부터  $m$  비트 단위로 순차적으로 데이터를 독출하여 신드롬 다항식 계산부(113)에서 신드롬을 계산한다. 신드롬 다항식이 계산되면 에러 위치 다항식을 계산한다. 계산된 에러 위치 다항식과 신드롬 다항식으로부터 에러 위치와 에러값을 계산한다. 계산된 에러 위치에 해당하는 에러 심볼을 읽어 계산된 에러값과 더하여 에러를 정정한 후 저장부(150)에 저장한다. 이때 에러를 제대로 검출하였을 경우에는 0을 이레이저 플래그 값으로 저장하고, 그렇지 않은 경우에는 1을 이레이저 플래그 값으로 저장한다.

...호; ↵

<32> 외부호 정정 단계는 내부호 정정 단계와 동일한 순서로 진행된다. 다만, 내부호 정정 단계에서 저장된 에러 플래그 위치를 이레이저로 생각하여, 신드롬 타향식 계산시 저장된 플래그를 데이터와 같이 읽어들여 이레이저 위치 다항식을 계산한다는 점에서만 내부호 정정 단계와 구분된다.

<33> 도 2의 가로축은 시간을 나타내고 세로축은 프로시듀어를 나타낸다. 시구간 0에서는 이레이저 플래그(ERAFLAG)와 첫번째  $m$  비트 데이터(IDATA)를 독출(read)하여 이레이저 위치 다항식과 신드롬 다항식을 계산하는 제 1 프로시듀어(proc1)가 수행된다. 시구간 1에서는 두번째  $m$ 비트 데이터에 대하여 제 1 프로시듀어(proc1)가 수행되는 한편, 첫 번째  $m$  비트 데이터에 대한 에러타 위치 다항식을 계산하는 제 2 프로시듀어(proc2)가 동시에 수행된다. 시구간 2에서는 세번째  $m$ 비트 데이터에 대하여 제 1 프로시듀어(proc1)가 수행되는 한편, 두번째  $m$  비트 데이터에 대한 에러타 위치 다항식을 계산하는 제 2 프로시듀어(proc2)가 수행되고, 첫번째  $m$  비트 데이터에 대한 에러 위치 및 에러값

을 계산하고 저장부(150)를 갱신(update)하는 제 3 프로시듀어(proc3)가 수행된다. 이상과 같이 시구간 0에서는 제 1 프로시듀어(proc1)만 진행되지만, 임의의 시구간 t에서는 제 1 내지 제 3 프로시듀어가 동시에 수행되는 파이프라인 구조의 병렬 처리 방식이다.

<34> 그러나, 파이프 라인 구조의 병렬 처리방식에도 불구하고 종래와 같이 하나의 RS 코어를 사용하는 복호기로는 고속화되어 가는 디지털 통신 및 저장 시스템의 요구를 충족시키기 어렵다. 종래의 RS 복호기에서 고속의 디지털 통신 및 저장 시스템을 만족하도록 데이터를 처리하려면 동작 클럭이 빨라져야만 하는데, 복잡하고 계산량이 많은 RS 복호기에서 동작 클럭을 빠르게 하는 것은 한계가 있기 때문이다. 또한, 많은 데이터를 고속으로 처리하기 위하여 동작 클럭을 빠르게 하면 할수록 저장부와 RS 코어 사이의 인터페이스가 불안정하게 되는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<35> 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 데이터 통신 및 저장 시스템의 고속화 요구를 충족시킬 수 있는 m 또는 2m 비트 데이터 처리 겸용 RS 복호기 및 복호 방법을 제공하는 것이다.

<36> 본 발명의 다른 목적은 동작 클럭을 빠르게 하지 않고 데이터 통신 및 저장 시스템의 고속화 요구를 충족시킬 수 있는 m 또는 2m 비트 데이터 처리 겸용 RS 복호기 및 복호 방법을 제공하는 것이다.

<37> 본 발명의 또다른 목적은 복잡한 여러 정정 시스템에도 적용할 수 있는 m 또는 2m 비트 데이터 처리 겸용 RS 복호기 및 복호 방법을 제공하는 것이다.

### 【발명의 구성 및 작용】

- <38> 상기와 같은 목적을 달성하기 위하여 본 발명의 일실시예에 따른 리드 솔로몬 복호기는 저장부; 상기 저장부로 부터 2m 비트 단위로 입력되는 데이터로 부터 에러 위치와 에러값을 계산하기 위한 계산부; 및 상기 에러 위치와 상기 에러값을 근거로 상기 계산부로 부터 입력된 데이터의 오류를 정정하여 디코딩된 신호를 출력하도록 상기 계산부를 제어하기 위한 제어부;를 포함한다.
- <39> 본 발명의 일실시예에 따른 상기 계산부는: 상기 저장부로 부터 입력되는 이레이져 플레그로 부터 이레이져 위치 다항식을 계산하는 이레이져 위치 다항식 계산부; 상기 저장부로 부터 독출된 데이터로 부터 제 1 신드롬 다항식을 계산하는 제 1 신드롬 다항식 계산부; 상기 저장부로 부터 독출된 데이터로 부터 제 2 신드롬 다항식을 계산하는 제 2 신드롬 다항식 계산부; 상기 계산된 이레이져 위치 다항식과 상기 계산된 제 1 신드롬 다항식으로 부터 제 1 에러타 위치 다항식을 계산하고 제 1 신드롬 다항식을 지연시켜 출력하는 제 1 에러타 위치 다항식 계산부; 상기 제 1 에러타 위치 다항식과 상기 지연된 제 1 신드롬 다항식으로 부터 제 1 에러 플레그, 제 1 에러 위치 및 제 1 에러값을 계산하는 제 1 에러 위치/값 계산부; 상기 계산된 이레이져 위치 다항식과 상기 계산된 제 2 신드롬 다항식으로 부터 제 2 에러타 위치 다항식을 계산하고 제 2 신드롬 다항식을 지연시켜 출력하는 제 2 에러타 위치 다항식 계산부; 및 상기 제 2 에러타 위치 다항식과 상기 지연된 제 2 신드롬 다항식으로 부터 제 2 에러 플레그, 제 2 에러 위치 및 제 2 에러값을 계산하는 제 2 에러 위치/값 계산부;를 포함한다.
- <40> 본 발명의 다른 실시예에 따른 상기 계산부는: 상기 저장부로 부터 독출된 데이터로 부터 제 1 에러 위치와 제 1 에러값을 계산하는 제 1 RS 코어; 및 상기 저장부로 부

터 독출된 데이터로 부터 제 2 에러 위치와 제 2 에러값을 계산하는 제 2 RS 코어;를 포함한다.

<41>  $m$  비트 단위의 리드 솔로몬 복호기로 동작시키려면  $m$  비트의 데이터를 저장부의 상위  $m$  비트 메모리에 저장하고;  $m$  비트 정정 모드로 설정하여 저장부를 액세스할 수 없도록 제 2 RS 코어를 디스에이블시킨다.

<42> 상기 제 1 RS 코어는: 상기 저장부로 부터 독출된 이레이져 플레그로 부터 이레이져 위치 다항식을 계산하는 이레이져 위치 다항식 계산부; 상기 저장부로 부터 독출된 데이터로 부터 제 1 신드롬 다항식을 계산하는 제 1 신드롬 다항식 계산부; 상기 계산된 이레이져 위치 다항식과 상기 계산된 제 1 신드롬 다항식으로 부터 제 1 에러타 위치 다항식을 계산하고 상기 제 1 신드롬 다항식을 지연시켜 출력하는 제 1 에러타 위치 다항식 계산부; 및 상기 제 1 에러타 위치 다항식과 상기 지연된 제 1 신드롬 다항식으로 부터 제 1 에러 플레그, 제 1 에러 위치 및 제 1 에러값을 계산하는 제 1 에러 위치/값 계산부;를 포함한다.

<43> 상기 제 1 신드롬 다항식 계산부는:  $2m$ 비트 단위의 데이터가 입력되는 경우  $S_j = \alpha'(S_{j-1}\alpha' + UM) + DM$ 을 만족하고;  $m$  비트 단위의 데이터가 입력되는 경우  $S_j = S_{j-1}\alpha' + UM$ 을 만족하는 것이 바람직하다.

<44> 상기 제 2 RS 코어는: 상기 저장부로 부터 독출된 데이터로 부터 제 2 신드롬 다항식을 계산하는 제 2 신드롬 다항식 계산부; 상기 계산된 이레이져 위치 다항식과 상기 계산된 제 2 신드롬 다항식으로 부터 제 2 에러타 위치 다항식을 계산하고 상기 제 2 신드롬 다항식을 지연시켜 출력하는 제 2 에러타 위치 다항식 계산부; 및 상기 제 2 에러타 위치 다항식과 상기 지연된 제 2 신드롬 다항식으로 부터 제 2 에러 플레그, 제 2 에

러 위치 및 제 2 에러값을 계산하는 제 2 에러 위치/값 계산부;를 포함한다.

<45> 상기 제 2 신드롬 다항식 계산부는:  $2m$ 비트 단위의 데이터가 입력되는 경우

$S_j = \alpha^j(S_{j-1}\alpha^j + UM) + DM$ 을 만족하고;  $m$  비트 단위의 데이터가 입력되는 경우

$S_j = S_{j-1}\alpha^j + DM$ 을 만족하는 것이 바람직하다.

<46> 이상의 수식에서,  $S_j$ 는 현재의 신드롬 다항식이고,  $S_{j-1}$ 은 이전의 신드롬 다항식이며,  $\alpha^j$ 는 생성다항식의 근이며,  $UM$ 은  $2m$  비트 데이터의 상위  $m$ 비트이고,  $DM$ 은  $2m$  비트 데이터의 하위  $m$ 비트이다.

<47> 본 발명의 다른 실시예에 따른 리드 솔로몬 복호기는:  $2m$  비트 단위의 데이터를 저장할 수 있는 저장부; 상기 저장부를 제어하기 위한 통합 제어부; 상기 저장부로부터 독출된 데이터로 부터 제 1 에러 위치와 제 1 에러값을 계산하는 제 1 RS 코어; 상기 통합 제어부의 제어에 따라 상기 제 1 RS 코어를 제어하는 제 1 RS 코어 제어부; 상기 저장부로 부터 독출된 데이터로 부터 제 2 에러 위치와 제 2 에러값을 계산하는 제 2 RS 코어; 및 상기 통합 제어부의 제어에 따라 상기 제 2 RS 코어를 제어하는 제 2 RS 코어 제어부;를 포함한다.

<48> 본 발명에 따른 리드 솔로몬 복호 방법은 디코딩될 데이터와 이레이저 플래그를 독출하는 단계; 상기 독출된 데이터로 부터 에러 위치와 에러값을 계산하는 단계; 및 상기 계산된 에러 위치와 에러값들을 근거로 상기 독출된 데이터의 오류를 정정하여 디코딩하는 단계;를 포함한다.

<49> 상기 데이터 독출 단계는  $2m$  비트 단위로 데이터를 독출하는 것이 바람직하다.

<50> 상기 데이터 독출 단계는: 상기 독출된 이레이저 플래그로 부터 이레이저 위치 다

항식을 계산하는 이레이져 위치 다항식 계산 단계; 상기 독출된 데이터로 부터 제 1 신드롬 다항식을 계산하는 제 1 신드롬 다항식 계산 단계; 상기 독출된 데이터로 부터 제 2 신드롬 다항식을 계산하는 제 2 신드롬 다항식 계산 단계; 상기 계산된 이레이져 위치 다항식과 상기 계산된 제 1 신드롬 다항식으로 부터 제 1 에러타 위치 다항식을 계산하고 상기 제 1 신드롬 다항식을 지연시켜 출력하는 제 1 에러타 위치 다항식 계산 단계; 상기 제 1 에러타 위치 다항식과 상기 지연된 제 1 신드롬 다항식으로 부터 제 1 에러 플레그, 제 1 에러 위치 및 제 1 에러값을 계산하는 제 1 에러 위치/값 계산 단계; 상기 계산된 이레이져 위치 다항식과 상기 계산된 제 2 신드롬 다항식으로 부터 제 2 에러타 위치 다항식을 계산하고 상기 제 2 신드롬 다항식을 지연시켜 출력하는 제 2 에러타 위치 다항식 계산 단계; 및 상기 제 2 에러타 위치 다항식과 상기 지연된 제 2 신드롬 다항식으로 부터 제 2 에러 플레그, 제 2 에러 위치 및 제 2 에러값을 계산하는 제 2 에러 위치/값 계산 단계;를 포함한다.

<51> 상기 계산 단계는: 상기 독출된 데이터로 부터 제 1 에러 위치와 제 1 에러값을 계산하는 제 1 계산 단계; 및 상기 독출된 데이터로 부터 제 2 에러 위치와 제 2 에러값을 계산하는 제 2 계산 단계;를 포함한다.

<52> 상기 제 1 계산 단계는: 상기 독출된 이레이져 플레그로 부터 이레이져 위치 다항식을 계산하는 이레이져 위치 다항식 계산 단계; 상기 독출된 데이터로 부터 제 1 신드롬 다항식을 계산하는 제 1 신드롬 다항식 계산 단계; 상기 계산된 이레이져 위치 다항식과 상기 계산된 제 1 신드롬 다항식으로 부터 제 1 에러타 위치 다항식을 계산하고 상기 제 1 신드롬 다항식을 지연시켜 출력하는 제 1 에러타 위치 다항식 계산 단계; 및 상기 제 1 에러타 위치 다항식과 상기 지연된 제 1 신드롬 다항식으로 부터 제 1 에러 플

레그, 제 1 에러 위치 및 제 1 에러값을 계산하는 제 1 에러 위치/값 계산 단계;를 포함 한다.

<53> 상기 제 1 신드롬 다항식 계산 단계는:  $2m$ 비트 단위의 데이터가 입력되는 경우

$$S_j = \alpha^j(S_{j-1}\alpha^j + UM) + DM \text{을 만족하고; } m \text{ 비트 단위의 데이터가 입력되는 경우}$$

$S_j = S_{j-1}\alpha^j + UM$ 을 만족하며; 여기서,  $S_j$ 는 현재의 신드롬 다항식이고,  $S_{j-1}$ 은 이전의 신드롬 다항식이며,  $\alpha^j$ 는 생성다항식의 근이며,  $UM$ 은  $2m$  비트 데이터의 상위  $m$ 비트이고,  $DM$ 은  $2m$  비트 데이터의 하위  $m$ 비트이다.

<54> 상기 제 2 계산 단계는: 상기 독출된 데이터로 부터 제 2 신드롬 다항식을 계산하는 제 2 신드롬 다항식 계산 단계; 상기 계산된 이레이져 위치 다항식과 상기 계산된 제 2 신드롬 다항식으로 부터 제 2 에러타 위치 다항식을 계산하고 상기 제 2 신드롬 다항식을 지연시켜 출력하는 제 2 에러타 위치 다항식 계산 단계; 및 상기 제 2 에러타 위치 다항식과 상기 지연된 제 2 신드롬 다항식으로 부터 제 2 에러 플레그, 제 2 에러 위치 및 제 2 에러값을 계산하는 제 2 에러 위치/값 계산 단계;를 포함한다.

<55> 상기 제 2 신드롬 다항식 계산 단계는:  $2m$ 비트 단위의 데이터가 입력되는 경우

$$S_j = \alpha^j(S_{j-1}\alpha^j + UM) + DM \text{을 만족하고; } m \text{ 비트 단위의 데이터가 입력되는 경우}$$

$S_j = S_{j-1}\alpha^j + DM$ 을 만족하며; 여기서,  $S_j$ 는 현재의 신드롬 다항식이고,  $S_{j-1}$ 은 이전의 신드롬 다항식이며,  $\alpha^j$ 는 생성다항식의 근이며,  $UM$ 은  $2m$  비트 데이터의 상위  $m$ 비트이고,  $DM$ 은  $2m$  비트 데이터의 하위  $m$ 비트이다.

<56> 본 발명에 따른 RS 곱부호의 내부호 정정 방법은:  $2m$ 비트 단위로 내부호어를 입력하여,  $2m$  비트 단위로 제 1 신드롬 다항식을 계산하는 단계;  $2m$ 비트 단위로 내부호어를 입력하여,  $2m$  비트 단위로 제 2 신드롬 다항식을 계산하는 단계; 상기 계산된 제 1 및

제 2 신드롬 다항식과 이레이져 위치 다항식을 입력으로 하여 제 1 및 제 2 에러타 위치 다항식을 계산하는 단계; 및 상기 제 1 및 제 2 에러타 위치 다항식과 상기 제 1 및 제 2 신드롬 다항식에 의해 제 1 및 제 2 에러값과 제 1 및 제 2 에러위치를 계산하되,  $m$  비트씩 정정하는 단계;를 포함하며, 신드롬 계산 순서는 바뀔수도 있다.

<57> 본 발명에 따른 RS 곱부호의 외부호 정정 방법은:  $2m$ 비트 단위의 외부호를 읽어 상위  $m$  비트로 부터 제 1 신드롬 다항식을 계산하고, 하위  $m$  비트로 부터 제 2 신드롬 다항식을 계산하는 단계하고, 이레이져 플레그를 읽어 이레이져 위치 다항식을 계산하는 과정을 동시에 수행하는 단계; 상기 제 1 및 제 2 신드롬 다항식과 이레이져 위치 다항식으로 부터 제 1 및 제 2 에러타 위치 다항식을 계산하는 단계; 및 상기 제 1 및 제 2 에러타 위치 다항식과 상기 제 1 및 제 2 신드롬 다항식으로 부터 에러값과 에러위치를 계산하되  $m$  비트씩 교대로 정정하는 단계;를 포함한다. 대로

<58> 상기 본 발명에 따른  $m$  및  $2m$  비트 데이터 처리 겸용 RS 복호기 및 그 복호방법에 따르면 종래의 RS 코어를 병렬로 사용하기 때문에 데이터를 고속으로 처리할 수 있다. 그에 따라, 동작 클럭을 빠르게 하지 않아도 되기 때문에 데이터 저장부와 RS 코어 사이의 인터페이스를 안정적으로 유지할 수 있고 시스템의 신뢰도를 높일 수 있다. 또한 RS 코어의 신드롬 다항식 계산기에서  $m$  비트 또는  $2m$  비트의 데이터를 선택적으로 처리할 수 있도록 함으로써 복잡한 에러 정정 시스템을 갖는 CD/DVD 계열의 데이터 처리에도 적용할 수 있는 장점이 있다.

<59> 이하에 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

<60> 먼저, 설명에 앞서 본 명세서에서 사용되는  $m$ 비트 또는  $2m$ 비트에서의 문자  $m$ 은 데이터 처리 단위 예컨대 심볼 표현 비트수에 해당하는 숫자를 표현 것으로서, 그 값은 적

용되는 데이터 표현방식에 따라 적절하게 결정될 수 있다. 따라서, 이하의 설명에서는 이러한 점을 고려하여 데이터 처리단위를 대표문자인  $m$ 으로 표기하여 설명한다.

<61> RS(N, K, d)는 부호어 길이가 N, 정보어 길이가 K, 최소 해밍거리가 d인 RS부호를 말한다. RS 부호의 특징 중의 하나는 최소 해밍거리 d는  $(N-K+1)$ 이 된다는 것이다. 특히  $N-K$ 는 패리티 수로서, 이를 R이라고 하면  $R=d-1$ 의 관계가 있다. RS 부호가 정정할 수 있는 심볼의 수를 t라고 하면,  $t=[(d-1)/2]$ 의 관계가 있다. e개의 이레이져를 포함하는 부호어에 대해서는  $d \geq 2t+e+1$ 식을 만족하는 t개의 에러와 e개의 이레이져를 정정할 수 있다. 특히, 전송 또는 저장할 데이터의 양이 많은 디지털 통신 및 저장 시스템에 사용되는 RS 부호는 같은 데이터에 대해서 내부호와 외부호를 생성하여 부호화하는 곱부호(product code)를 널리 사용한다. 도 3에는 RS 곱부호(RSPC)의 데이터 구조가 도시되어 있다. RS 곱부호는 데이터, 내부 패리티, 외부 패리티를 포함하며, 내부호어 길이는  $N_1$ 이고, 외부호어 길이는  $N_2$ 이다.

<62> 본 발명의 일 실시예에 따른  $m$  또는  $2m$  비트 데이터 처리 겸용 리드 솔로몬 복호기가 도 4에 도시되어 있다.

<63> 도면을 참조하면, 리드 솔로몬 복호기는 저장부(210), 저장부(210)를 제어하기 위한 통합 제어부(220), 제 1 RS 코어(230), 제 1 RS 코어 제어부(240), 제 2 RS 코어(250) 및 제 2 RS 코어 제어부(260)를 포함한다.

<64> 저장부(210)는  $2m$  비트 단위의 데이터를 저장할 수 있는 버퍼 또는 메모리가 적용될 수 있다.

<65> 제 1 RS 코어(230)는 저장부(210)로부터 독출된 데이터(IDATA)로부터 제 1

에러 위치(ELOC1) 및 제 1 에러값(EVAL1)을 계산한다.

<66>      제 1 RS 코어 제어부(240)는 통합 제어부(220)의 제어에 따라 제 1 RS 코어(230)를 제어한다.

<67>      제 2 RS 코어(250)는 저장부(210)로 부터 독출된 데이터(IDATA)로 부터 제 2 에러 위치(ELOC2) 및 제 2 에러값(EVAL2)을 계산한다.

<68>      제 2 RS 코어 제어부(260)는 통합 제어부(220)의 제어에 따라 제 2 RS 코어(250)를 제어한다.

<69>      제 1 RS 코어(230)는 이레이져 위치 다항식 계산부(ERALCAL)(231), 제 1 신드롬 다항식 계산부(SYNDCAL1)(233), 제 1 에러타 위치 다항식 계산부(ERTLCAL1) (235) 및 제 1 에러 위치/값 계산부(ERTVCAL1)(237)를 포함한다. 이레이져 위치 다항식 계산부(231)는 저장부(210)로 부터 독출된 이레이져 플레그(ERAFLAG)로 부터 이레이져 위치 다항식(①)을 계산한다. 이레이져 플레그(ERAFLAG)는 전단계에서 계산된 에러 플레그(EFLAG)로서 이후에 설명된다.

<70>      제 1 신드롬 다항식 계산부(233)는 저장부(210)로 부터 독출된 데이터(IDATA)로부터 제 1 신드롬 다항식(②)을 계산한다.

<71>      제 1 에러타 위치 다항식 계산부(235)는 계산된 이레이져 위치 다항식(①)과 계산된 제 1 신드롬 다항식(②)으로 부터 제 1 에러타 위치 다항식(③)을 계산하고, 제 1 신드롬 다항식(④)은 지연되어 출력된다.

<72>      제 1 에러 위치/값 계산부(237)는 제 1 에러타 위치 다항식(③)과 지연된 제 1 신드롬 다항식(④)으로 부터 제 1 에러 플레그(EFLAG1), 제 1 에러 위치(ELOC1) 및 제 1

에러 값(EVAL1)을 계산한다.

<73> 제 2 RS 코어(RSCON2)(250)는 제 2 신드롬 다항식 계산부(SYNDCAL2) (253), 제 2 에러타 위치 다항식 계산부(ERTLCAL2)(255) 및 제 2 에러 위치/값 계산부(ERTVCAL2)(257)를 포함한다.

<74> 제 2 신드롬 다항식 계산부(253)는 저장부(210)로 부터 독출된 데이터(IDATA)로 부터 제 2 신드롬 다항식(⑤)을 계산한다. 제 2 에러타 위치 다항식 계산부(255)는 계산된 이레이저 위치 다항식(①)과 계산된 제 2 신드롬 다항식(⑤)으로 부터 제 2 에러타 위치 다항식(⑥)을 계산하고 제 2 신드롬 다항식(⑦) 지연시켜 출력한다. 제 2 에러 위치/값 계산부(257)는 제 2 에러타 위치 다항식(⑥)과 지연된 제 2 신드롬 다항식(⑦)으로 부터 제 2 에러 플레그(EFLAG2), 제 2 에러 위치(ELOC2) 및 제 2 에러 값(EVAL2)을 계산한다.

<75> 도 3 내지 도 6을 참조하여 내부호와 외부호에 대한 2m 비트 입출력 복호기의 동작을 설명한다. 도 5 및 6에서 하나의 직선은 동작이 진행중임을 표시한 것이고, 두 개의 직선으로 표시된 것은 갱신(update) 동작을 나타낸 것이다.

<76> 먼저, 도 4와 5를 참조하여 내부호에 대한 정정 과정을 설명한다. 시구간 0에서는 제 1 RS 코어(230)에 2m비트 단위로 데이터를 입력하여, 제 1 신드롬 다항식 계산부(233)에서 2m 비트 단위로 제 1 신드롬 다항식을 계산한다(P11). 다음으로, 제 2 RS 코어(250)에 2m비트 단위로 데이터를 입력하여, 제 2 신드롬 다항식 계산부(253)에서 2m 비트 단위로 제 2 신드롬 다항식을 계산한다(P21). P11과 P12는 순서가 바뀔수도 있다. 신드롬 계산 과정은 2m 비트 단위로 계산하므로, 종래 m비트 단위의 신드롬 계산기와 비교하여 1/2 시간이면 된다. 즉, 신드롬 다항식 계산 속도가 2배 빨라진다.

<77> 시구간 1에서, 제 1 및 제 2 에러타 위치 다항식 계산부(235, 255)는 상기와 같이 계산된 제 1 및 제 2 신드롬 다항식과 이레이져 위치 다항식을 입력으로 하여 제 1 및 제 2 에러타 위치 다항식을 계산한다(P12, P22). 이와 같이 첫번째  $2m$  비트 단위의 데이터에 대한 에러타 위치 다항식이 계산되는 동안 두번째  $2m$  비트 단위의 데이터가 제 1 및 제 2 RS 코어(230, 250)로 입력되어 제 1 및 제 2 신드롬 다항식이 계산된다(P11, P21).

<78> 시구간 2에서, 첫번째  $2m$ 비트 단위 데이터에 대해서는 에러값과 에러위치가 계산된다. 에러 위치와 값이 계산되면, 에러 정정 과정이 수행된다. 에러 정정 과정은  $m$ 비트 단위로만 수행될 수 있다. 따라서, 통합 제어부(220)의 제어에 따라 제 1 RS코어(230)와 제 2 RS코어(250)를 교대로 인에이블시켜 에러를 정정하고 데이터를 갱신 한다(P13, P23). 동시에 두번째  $2m$ 비트 단위 데이터에 대해서는 제 1 및 제 2 에러타 위치 다항식이 계산되고(P12, P22), 세번째  $2m$ 비트 단위 데이터에 대해서는 제 1 및 제 2 신드롬 다항식이 계산된다(P11, P21). 이상과 같이 시구간 2 이후 임의의 시구간에서는 신드롬 다항식 계산(P11, P21), 에러타 위치 계산(P12, P22)과 오류 정정 및 데이터 갱신 작업(P13, P23)이 동시에 수행된다. 모든 에러 정정 과정이 종료되면 다음 2개의 내부호어에 대해 같은 과정을 진행한다. 따라서, 내부호 정정 과정은 N1/2번 수행된다.

<79> 다음으로, 도 4 및 6을 참조하여 외부호에 대한 정정 과정을 설명한다.

<80> 시구간 0에서,  $2m$ 비트 단위, 즉 2개의 외부호를 읽어 상위  $m$  비트는 제 1 RS 코어(230)에 입력하고, 하위  $m$  비트는 제 2 RS 코어(250)에 입력하여 동시에 제 1 및 제 2 신드롬 다항식을 계산한다. 동시에 이레이져 플래그를 이레이져 위치 다항식 계산부(231)에 입력하여 이레이져 위치 다항식을 계산한다(P15, P25). 종래  $m$  비트 단위의 신

드롭 계산 시간 동안 2개의 외부호에 대한 신드롬 다항식과 이레이져 위치 다항식을 얻을 수 있다.

<81> 시구간 1에서, 제 1 및 제 2 에러타 위치 다항식 계산부(235, 255)는 상기와 같이 계산된 제 1 및 제 2 신드롬 다항식과 이레이져 위치 다항식을 입력으로 하여 제 1 및 제 2 에러타 위치 다항식을 계산한다(P17, P27). 이와 같이 첫번째  $2m$  비트 단위의 외부호에 대한 에러타 위치 다항식이 계산되는 동안 두번째  $2m$  비트 단위의 외부호가 제 1 및 제 2 RS 코어(230, 250)로 입력되어 제 1 및 제 2 신드롬 다항식이 계산된다(P15, P25).

<82> 시구간 2에서, 첫번째  $2m$ 비트 외부호에 대해서는 에러값과 에러위치가 계산된다. 에러 위치와 값이 계산되면, 에러 정정 과정이 수행된다. 에러 정정 과정은  $m$ 비트 단위로만 수행될 수 있다. 따라서, 통합 제어부(220)의 제어에 따라 제 1 RS코어(230)와 제어부 2 RS코어(250)를 교대로 인에이블시켜 에러를 정정하고 데이터를 갱신 한다(P19, P29). 동시에 두번째  $2m$ 비트 외부호에 대해서는 제 1 및 제 2 에러타 위치 다항식이 계산되고(P17, P27), 세번째  $2m$ 비트 단위 외부호에 대해서는 제 1 및 제 2 신드롬 다항식이 계산된다(P15, P25). 이상과 같이 시구간 2 이후 임의의 시구간에서 신드롬 다항식 계산(P15, P25), 에러타 위치 계산(P17, P27)과 오류 정정 및 데이터 갱신 작업(P19, P29)이 동시에 수행된다. 모든 에러 정정 과정이 종료되면 다음 2개의 외부호에 대해 같은 과정을 진행한다. 따라서, 외부호 정정 과정은 N2/2번 수행된다.

<83> 이상은  $2m$ 비트 단위의 리드 솔로몬 복호기로 동작하는 경우에 대하여 설명하였다.  $m$  비트 단위의 리드 솔로몬 복호기로 동작시키려면  $m$  비트의 데이터를 저장부(210)의 상위  $m$  비트 메모리에 저장하고,  $m$  비트 정정 모드로 설정한다.  $m$  비트 정정 모드에서는

저장부(210)를 액세스할 수 없도록 제 2 RS 코어(250)가 디스에이블된다. 따라서, 종래의  $m$ 비트 복호기와 같이 동작하게 된다.

<84>      도 7을 참조하면, 제 1 신드롬 다항식 계산부(233)는 제 1 신드롬 저장부(233a), 제 1 곱셈기(233b), 제 1 덧셈기(233c), 제 1  $m$  비트 멀티플렉서(233d), 제 2 곱셈기(233e), 제 2  $m$  비트 멀티플렉서(233f) 및 제 2 덧셈기(233g)를 포함한다.

<85>      제 1 신드롬 저장부(233a)는 제 1 신드롬 다항식 계산 결과를 임시 저장하기 위한 것이다.

<86>      제 1 곱셈기(233b)는 제 1 신드롬 저장부(233a)로부터의 신드롬 다항식과 생성 다항식의 근  $\alpha^j$  ( $j=0, 1, \dots, N-K-1$ )를 곱한다.

<87>      제 1 덧셈기(233c)는 제 1 곱셈기(233b)의 출력과 입력되는 데이터의 상위  $m$  비트를 더한다. 제 1  $m$  비트 멀티플렉서(233d)는  $m$  또는  $2m$  비트 모드에 따라 각각 1 또는 상기  $\alpha^j$ 를 출력한다.

<88>      제 2 곱셈기(233e)는 제 1 덧셈기(233c)의 출력과 상기 제 1  $m$  비트 멀티 플렉서(233d)의 출력을 곱한다.

<89>      제 2  $m$  비트 멀티플렉서(233f)는  $m$  또는  $2m$  비트 모드에 따라 각각 0 또는 상기 입력되는 데이터의 하위  $m$  비트를 출력한다.

<90>      제 2 덧셈기(233g)는 제 2 곱셈기(233e)의 출력과 상기 제 2  $m$  비트 멀티플렉서(233f)의 출력을 더한다. 제 2 덧셈기(233f)의 출력은 제 1 신드롬 다항식 계산부(233a)에 저장되었다가 출력된다.

<91>      제 2 신드롬 다항식 계산부(253)는 제 2 신드롬 저장부(253a), 제 3  $m$  비트 멀티플

렉서(253b), 제 3 곱셈기(253c), 제 4  $m$  비트 멀티플렉서(253d), 제 3 덧셈기(253e), 제 4 곱셈기(253f) 및 제 4 덧셈기(253g)를 포함한다.

<92>      제 2 신드롬 저장부(253a)는 제 2 신드롬 다항식 계산 결과를 임시 저장한다. 제 3  $m$  비트 멀티플렉서(253b)는  $m$  또는  $2m$  비트 모드에 따라 각각 1 또는  $\alpha^j$ 를 출력한다.

<93>      제 3 곱셈기(253c)는 제 2 신드롬 저장부(253a)의 출력과 제 3  $m$  비트 멀티플렉서(253b)의 출력을 곱한다. 제 4  $m$  비트 멀티플렉서(253d)는  $m$  또는  $2m$  비트 모드에 따라 각각 0 또는 입력되는 데이터의 상위  $m$  비트를 출력한다.

<94>      제 3 덧셈기(253e)는 제 3 곱셈기(253c)의 출력과 제 4  $m$  비트 멀티플렉서(253d)의 출력을 더한다.

<95>      제 4 곱셈기(253f)는 상기 제 3 덧셈기(253e)의 출력과 생성 다항식의 근  $\alpha^j (j=0, 1, \dots, N-K-1)$ 를 곱한다.

<96>      제 4 덧셈기(253g)는 제 4 곱셈기(253f)의 출력과 입력되는 데이터의 하위  $m$  비트를 더한다. 제 4 덧셈기(253f)의 출력은 제 2 신드롬 저장부(253a)에 저장되었다가 출력된다.

<97>      본 발명에 따른 고속 리드 솔로몬 복호 방법은 디코딩될 데이터와 이레이져 플래그를 독출하는 단계(S1), 독출된 데이터로 부터 에러 위치와 에러값을 계산하는 단계(S2) 및 계산된 에러 위치와 에러값들을 근거로 독출된 데이터의 오류를 정정하여 디코딩하는 단계(S3)를 포함한다.

<98>      데이터 독출 단계(S1)는  $2m$  비트 단위로 데이터를 독출하는 것이 바람직하다. 데이터 독출 단계(S1)는 이레이져 위치 다항식 계산 단계(S11), 제 1 신드롬 다항식 계산 단

계(S12), 제 2 신드롬 다항식 계산 단계(S13), 제 1 에러타 위치 다항식 계산 단계(S14), 제 1 에러 위치/값 계산 단계(S15), 제 2 에러타 위치 다항식 계산 단계(S16) 및 제 2 에러 위치/값 계산 단계(S17)를 포함한다.

<99> 이레이저 위치 다항식 계산 단계(S11)에서는 독출된 이레이저 플레그로 부터 아래 이레이저 위치 다항식이 계산된다. 제 1 신드롬 다항식 계산 단계(S12)에서는 상기 독출된 데이터로 부터 제 1 신드롬 다항식을 계산한다. 제 2 신드롬 다항식 계산 단계(S13)는 상기 독출된 데이터로 부터 제 2 신드롬 다항식을 계산한다. 제 1 에러타 위치 다항식 계산 단계(S14)는 상기 계산된 이레이저 위치 다항식과 상기 계산된 제 1 신드롬 다항식으로 부터 제 1 에러타 위치 다항식을 계산하고, 상기 제 1 신드롬 다항식을 지연시켜 출력한다. 제 1 에러 위치/값 계산 단계(S15)는 상기 제 1 에러타 위치 다항식과 상기 지연된 제 1 신드롬 다항식으로 부터 제 1 에러 플레그, 제 1 에러 위치 및 제 1 에러값을 계산한다. 제 2 에러타 위치 다항식 계산 단계(S16)는 상기 계산된 아래이자 위치 다항식과 상기 계산된 제 2 신드롬 다항식으로 부터 제 2 에러타 위치 다항식을 계산하고, 상기 제 2 신드롬 다항식을 지연시켜 출력한다. 제 2 에러 위치/값 계산 단계(S17)는 상기 제 2 에러타 위치 다항식과 상기 지연된 제 2 신드롬 다항식으로 부터 제 2 에러 플레그, 제 2 에러 위치 및 제 2 에러값을 계산한다.

<100> 계산 단계(S2)는 제 1 계산 단계(S21) 및 제 2 계산 단계(S22)를 포함한다. 제 1 계산 단계(S21)는 독출된 데이터로 부터 제 1 에러 위치와 제 1 에러값을 계산한다. 제 2 계산 단계(S22)는 상기 독출된 데이터로 부터 제 2 에러 위치와 제 2 에러값을 계산한다.

<101> 제 1 계산 단계(S21)는 아래이자 위치 다항식 계산 단계(S211), 제 1 신드롬 다항

식 계산 단계(S212), 제 1 에러타 위치 다항식 계산 단계(S213) 및 제 1 에러 위치/값 계산 단계(S214)를 포함한다. 이레이져 위치 다항식 계산 단계(S211)는 상기 독출된 이레이져 플래그로 부터 이레이져 위치 다항식을 계산한다. 제 1 신드롬 다항식 계산 단계(S212)에서는 상기 독출된 데이터로 부터 제 1 신드롬 다항식이 계산된다. 제 1 에러타 위치 다항식 계산 단계(S213)는 상기 계산된 이레이져 위치 다항식과 상기 계산된 제 1 신드롬 다항식으로 부터 제 1 에러타 위치 다항식을 계산하고, 상기 제 1 신드롬 다항식을 지연시켜 출력한다. 제 1 에러 위치/값 계산 단계(S214)는 상기 제 1 에러타 위치 다항식과 상기 지연된 제 1 신드롬 다항식으로 부터 제 1 에러 플래그, 제 1 에러 위치 및 제 1 에러값을 계산한다.

<102>      제 1 신드롬 다항식 계산 단계(S212)는  $2m$ 비트 단위의 데이터가 입력되는 경우

$S_j = \alpha^j(S_{j-1}\alpha^j + UM) + DM$ 을 만족하고,  $m$  비트 단위의 데이터가 입력되는 경우

$S_j = S_{j-1}\alpha^j + UM$ 을 만족하도록 한다. 여기서,  $S_j$ 는 현재의 신드롬 다항식이다.  $S_{j-1}$ 은 이전의 신드롬 다항식이다.  $\alpha^j$ 는 생성다항식의 근이다.  $UM$ 은  $2m$  비트 데이터의 상위  $m$ 비트이다.  $DM$ 은  $2m$  비트 데이터의 하위  $m$ 비트이다.

<103>      제 2 계산 단계(S22)는 제 2 신드롬 다항식 계산 단계(S221), 제 2 에러타 위치 다항식 계산 단계(S222) 및 제 2 에러 위치/값 계산 단계(S223)를 포함한다. 제 2 신드롬 다항식 계산 단계(S221)에서는 상기 독출된 데이터로 부터 제 2 신드롬 다항식을 계산한다. 제 2 에러타 위치 다항식 계산 단계(S222)에서는 상기 계산된 이레이져 위치 다항식과 상기 계산된 제 2 신드롬 다항식으로 부터 제 2 에러타 위치 다항식을 계산하고, 상기 제 2 신드롬 다항식을 지연시켜 출력한다. 제 2 에러 위치/값 계산 단계(S223)에서는 상기 제 2 에러타 위치 다항식과 상기 지연된 제 2 신드롬 다항식으로 부터 제 2 에러

플레그, 제 2 에러 위치 및 제 2 에러값을 계산한다.

- <104> 상기 제 2 신드롬 다항식 계산 단계(S221)는  $2m$ 비트 단위의 데이터가 입력되는 경우  
 $S_j = \alpha^j(S_{j-1}\alpha^j + UM) + DM$ 을 만족하고,  $m$  비트 단위의 데이터가 입력되는 경우  
 $S_j = S_{j-1}\alpha^j + DM$ 을 만족하는 것이 바람직하다.

### 【발명의 효과】

- <105> 상기 본 발명에 따른 RS 복호기 및 그 복호방법에 따르면 종래의 RS 코어를 병렬로 사용하기 때문에 데이터를 고속으로 처리할 수 있다. 또한, 동작 클럭을 빠르게 하지 않아도 되기 때문에 저장부와 RS 코어 사이의 인터페이스를 안정적으로 유지할 수 있고 시스템의 신뢰도를 높일 수 있다.

- <106> RS 코어의 신드롬 다항식 계산기에서  $m$ 비트 또는  $2m$  비트의 데이터를 선택적으로 처리할 수 있도록 함으로써, 복잡한 에러 정정 시스템을 갖는 CD/DVD 계열의 데이터 처리에도 적용할 수 있는 장점이 있다. 예를 들면, CIRC(Cross Interleave Reed-Solomon Code) 와 같은 CD 에러 정정 시스템은 복잡한 인터리브(interleave) 과정을 거치기 때문에  $m$ 비트 단위로 복호화해야 한다.

- <107> 이상에서는 본 발명의 특정의 바람직한 실시예에 대하여 도시하고 또한 설명하였다. 그러나, 본 발명은 상술한 실시예에 한정되지 아니하며, 특히 청구의 범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형실시가 가능할 것이다.

**【특허청구범위】****【청구항 1】**

저장부;

상기 저장부로 부터 2m 비트 단위로 입력되는 데이터로 부터 에러 위치와 에러값을 계산하기 위한 계산부; 및  
상기 에러 위치와 상기 에러값에 의해 오류를 정정하여 디코딩된 신호를 출력하도록 상기 계산부를 제어하기 위한 제어부;를 포함하는 리드 솔로몬 복호기.

**【청구항 2】**

제 1 항에 있어서, 상기 계산부는:

상기 저장부로 부터 입력되는 이레이저 플레그로 부터 이레이저 위치 다항식을 계산하는 이레이저 위치 다항식 계산부;

상기 저장부로 부터 독출된 데이터로 부터 제 1 신드롬 다항식을 계산하는 제 1 신드롬 다항식 계산부;

상기 저장부로 부터 독출된 데이터로 부터 제 2 신드롬 다항식을 계산하는 제 2 신드롬 다항식 계산부;

상기 계산된 이레이저 위치 다항식과 상기 계산된 제 1 신드롬 다항식으로 부터 제 1 에러타 위치 다항식을 계산하고, 지연된 제 1 신드롬 다항식을 출력하는 제 1 에러타 위치 다항식 계산부;

상기 제 1 에러타 위치 다항식과 상기 지연된 제 1 신드롬 다항식으로 부터 제 1 에러 플레그, 제 1 에러 위치 및 제 1 에러값을 계산하는 제 1 에러 위치/값 계산부;

상기 계산된 이레이져 위치 다항식과 상기 계산된 제 2 신드롬 다항식으로 부터 제 2 에러타 위치 다항식을 계산하고 지연된 제 2 신드롬 다항식을 출력하는 제 2 에러타 위치 다항식 계산부; 및

상기 제 2 에러타 위치 다항식과 상기 지연된 제 2 신드롬 다항식으로 부터 제 2 에러 플레그, 제 2 에러 위치 및 제 2 에러값을 계산하는 제 2 에러 위치/값 계산부;를 포함하는 것을 특징으로 하는 리드 솔로몬 복호기.

#### 【청구항 3】

제 1 항에 있어서, 상기 계산부는:

상기 저장부로 부터 독출된 데이터로 부터 제 1 에러 위치와 제 1 에러값을 계산하는 제 1 RS 코어; 및

상기 저장부로 부터 독출된 데이터로 부터 제 2 에러 위치와 제 2 에러값을 계산하는 제 2 RS 코어;를 포함하는 것을 특징으로 하는 리드 솔로몬 복호기.

#### 【청구항 4】

제 3 항에 있어서, 상기 제 1 RS 코어는:

상기 저장부로 부터 독출된 이레이저 플레그로 부터 이레이저 위치 다항식을 계산하는 이레이저 위치 다항식 계산부;

상기 저장부로 부터 독출된 데이터로 부터 제 1 신드롬 다항식을 계산하는 제 1 신드롬 다항식 계산부;

상기 계산된 이레이저 위치 다항식과 상기 계산된 제 1 신드롬 다항식으로 부터 제 1 에러타 위치 다항식을 계산하고 지연된 제 1 신드롬 다항식을 출력하는 제 1 에러

타 위치 다항식 계산부; 및

상기 제 1 에러타 위치 다항식과 상기 지연된 제 1 신드롬 다항식으로 부터 제 1 에러 플레그, 제 1 에러 위치 및 제 1 에러값을 계산하는 제 1 에러 위치/값 계산부;를 포함하는 것을 특징으로 하는 리드 솔로몬 복호기.

### 【청구항 5】

제 4 항에 있어서, 상기 제 1 신드롬 다항식 계산부는:

$2m$  비트 단위의 데이터가 입력되는 경우  $S_j = \alpha'(S_{j-1}\alpha' + UM) + DM$ 을 만족하고;

$m$  비트 단위의 데이터가 입력되는 경우  $S_j = S_{j-1}\alpha' + UM$ 을 만족하며;

여기서,  $S_j$ 는 현재의 신드롬 다항식이고,

$S_{j-1}$ 은 이전의 신드롬 다항식이며,

$\alpha^j$ 는 생성다항식의 근이며,

$UM$ 은  $2m$  비트 데이터의 상위  $m$ 비트이고,

$DM$ 은  $2m$  비트 데이터의 하위  $m$ 비트인 것을 특징으로 하는 리드 솔로몬 복호기.

### 【청구항 6】

제 4 항에 있어서, 상기 제 1 신드롬 다항식 계산부는:

제 1 신드롬 다항식 계산 결과를 임시 저장하기 위한 제 1 신드롬 저장부;

상기 제 1 신드롬 저장부로부터의 신드롬 다항식과 생성 다항식의 근  $\alpha^j (j=0, 1,$

$\dots, N-K-1)$ 를 곱하는 제 1 곱셈기;

상기 제 1 곱셈기의 출력과 입력되는 데이터의 상위  $m$  비트를 더하는 제 1 덧셈기;

$m$  또는  $2m$  비트 모드에 따라 각각 1 또는 상기  $\alpha^j$ 를 출력하는 제 1  $m$  비트 멀티플렉서;

상기 제 1 덧셈기의 출력과 상기 제 1  $m$  비트 멀티플렉서의 출력을 곱하는 제 2 곱셈기;

$m$  또는  $2m$  비트 모드에 따라 각각 0 또는 상기 입력되는 데이터의 하위  $m$  비트를 출력하는 제 2  $m$  비트 멀티플렉서; 및

상기 제 2 곱셈기의 출력과 상기 제 2  $m$  비트 멀티플렉서의 출력을 더하는 제 2 덧셈기;를 포함하며,

상기 제 2 덧셈기의 출력은 상기 제 1 신드롬 다항식 계산부에 저장되었다가 출력되는 것을 특징으로 하는 리드 솔로몬 복호기.

### 【청구항 7】

제 4 항에 있어서, 상기 제 2 RS 코어는:

상기 저장부로 부터 독출된 데이터로 부터 제 2 신드롬 다항식을 계산하는 제 2 신드롬 다항식 계산부;

상기 계산된 이레이저 위치 다항식과 상기 계산된 제 2 신드롬 다항식으로 부터 제 2 에러타 위치 다항식을 계산하고 지연된 제 2 신드롬 다항식을 출력하는 제 2 에러타 위치 다항식 계산부; 및

상기 제 2 에러타 위치 다항식과 상기 지연된 제 2 신드롬 다항식으로 부터 제 2

에러 플레그, 제 2 에러 위치 및 제 2 에러값을 계산하는 제 2 에러 위치/값 계산부;를 포함하는 것을 특징으로 하는 리드 솔로몬 복호기.

### 【청구항 8】

제 7 항에 있어서, 상기 제 2 신드롬 다항식 계산부는:

$2m$ 비트 단위의 데이터가 입력되는 경우  $S_j = \alpha^j(S_{j-1}\alpha^j + UM) + DM$ 을 만족하고;

$m$  비트 단위의 데이터가 입력되는 경우  $S_j = S_{j-1}\alpha^j + DM$ 을 만족하며;

여기서,  $S_j$ 는 현재의 신드롬 다항식이고,

$S_{j-1}$ 은 이전의 신드롬 다항식이며,

$\alpha^j$ 는 생성다항식의 근이며,

$UM$ 은  $2m$  비트 데이터의 상위  $m$ 비트이고,

$DM$ 은  $2m$  비트 데이터의 하위  $m$ 비트인 것을 특징으로 하는 리드 솔로몬 복호기.

### 【청구항 9】

제 7 항에 있어서, 상기 제 2 신드롬 다항식 계산부는:

제 2 신드롬 다항식 계산 결과를 임시 저장하기 위한 제 2 신드롬 저장부;

$m$  또는  $2m$  비트 모드에 따라 각각 1 또는 상기  $\alpha^j$ 를 출력하는 제  $3 m$  비트 멀티플렉서;

상기 제 2 신드롬 저장부의 출력과 상기 제  $3 m$  비트 멀티플렉서의 출력을 곱하는 제 3 곱셈기;

$m$  또는  $2m$  비트 모드에 따라 각각 0 또는 상기 입력되는 데이터의 상위  $m$  비트를 출력하는 제 4  $m$  비트 멀티플렉서;

상기 제 3 곱셈기의 출력과 상기 제 4  $m$  비트 멀티플렉서의 출력을 더하는 제 3 덧셈기;

상기 제 3 덧셈기의 출력과 생성 다항식의 근  $\alpha^j (j=0, 1, \dots, N-K-1)$ 를 곱하는 제 4 곱셈기; 및

상기 제 4 곱셈기의 출력과 상기 입력되는 데이터의 하위  $m$  비트를 더하는 제 4 덧셈기를 포함하며,

상기 제 4 덧셈기의 출력은 상기 제 2 신드롬 저장부에 저장되었다가 출력되는 것을 특징으로 하는 리드 솔로몬 복호기.

#### 【청구항 10】

$2m$  비트 단위의 데이터를 저장할 수 있는 저장부;

상기 저장부를 제어하기 위한 통합 제어부;

상기 저장부로 부터 독출된 데이터로 부터 제 1 에러 위치와 제 1 에러값을 계산하는 제 1 RS 코어;

상기 통합 제어부의 제어에 따라 상기 제 1 RS 코어를 제어하는 제 1 RS 코어 제어부;

상기 저장부로 부터 독출된 데이터로 부터 제 2 에러 위치와 제 2 에러값을 계산하는 제 2 RS 코어; 및

상기 통합 제어부의 제어에 따라 상기 제 2 RS 코어를 제어하는 제 2 RS 코어 제어부;

부;를 포함하는 것을 특징으로 하는  $m$  또는  $2m$  비트 데이터 처리 겸용 리드 솔로몬 복호기.

### 【청구항 11】

제 10 항에 있어서, 상기 제 1 RS 코어는:

상기 저장부로 부터 독출된 이레이져 플레그로 부터 이레이져 위치 다항식을 계산하는 이레이져 위치 다항식 계산부;

상기 저장부로 부터 독출된 데이터로 부터 제 1 신드롬 다항식을 계산하는 제 1 신드롬 다항식 계산부;

~~상기 계산된 이레이져 위치 다항식과 상기 계산된 제 1 신드롬 다항식으로 부터 제 1 에러타 위치 다항식을 계산하고 지연된 제 1 신드롬 다항식을 출력하는 제 1 에러타 위치 다항식 계산부; 및~~

상기 제 1 에러타 위치 다항식과 상기 지연된 제 1 신드롬 다항식으로 부터 제 1 에러 플레그, 제 1 에러 위치 및 제 1 에러값을 계산하는 제 1 에러 위치/값 계산부;를 포함하는 것을 특징으로 하는  $m$  또는  $2m$  비트 데이터 처리 겸용 리드 솔로몬 복호기.

### 【청구항 12】

제 11 항에 있어서, 상기 제 1 신드롬 다항식 계산부는:

제 1 신드롬 다항식 계산 결과를 임시 저장하기 위한 제 1 신드롬 저장부;

상기 제 1 신드롬 저장부로부터의 신드롬 다항식과 생성 다항식의 근  $\alpha^j (j=0, 1, \dots, N-K-1)$ 를 곱하는 제 1 곱셈기;

상기 제 1 곱셈기의 출력과 입력되는 데이터의 상위  $m$  비트를 더하는 제 1 덧셈기;

$m$  또는  $2m$  비트 모드에 따라 각각 1 또는 상기  $\alpha^j$ 를 출력하는 제 1  $m$  비트 멀티플렉서;

상기 제 1 덧셈기의 출력과 상기 제 1  $m$  비트 멀티플렉서의 출력을 곱하는 제 2 곱셈기;

$m$  또는  $2m$  비트 모드에 따라 각각 0 또는 상기 입력되는 데이터의 하위  $m$  비트를 출력하는 제 2  $m$  비트 멀티플렉서; 및

상기 제 2 곱셈기의 출력과 상기 제 2  $m$  비트 멀티플렉서의 출력을 더하는 제 2 덧셈기;를 포함하며,

상기 제 2 덧셈기의 출력은 상기 제 1 신드롬 다항식 계산부에 저장되었다가 출력되는 것을 특징으로 하는  $m$  또는  $2m$  비트 데이터 처리 겸용 리드 솔로몬 복호기.

### 【청구항 13】

제 11 항에 있어서, 상기 제 2 RS 코어는:

상기 저장부로 부터 독출된 데이터로 부터 제 2 신드롬 다항식을 계산하는 제 2 신드롬 다항식 계산부;

상기 계산된 이레이져 위치 다항식과 상기 계산된 제 2 신드롬 다항식으로 부터 제 2 에러타 위치 다항식을 계산하고 지연된 제 2 신드롬 다항식을 출력하는 제 2 에러타 위치 다항식 계산부; 및

상기 제 2 에러타 위치 다항식과 상기 지연된 제 2 신드롬 다항식으로 부터 제 2

에러 플레그, 제 2 에러 위치 및 제 2 에러값을 계산하는 제 2 에러 위치/값 계산부;를 포함하는 것을 특징으로 하는  $m$  또는  $2m$  비트 데이터 처리 겸용 리드 솔로몬 복호기.

#### 【청구항 14】

제 13 항에 있어서, 상기 제 2 신드롬 다항식 계산부는:

제 2 신드롬 다항식 계산 결과를 임시 저장하기 위한 제 2 신드롬 저장부;

$m$  또는  $2m$  비트 모드에 따라 각각 1 또는 상기  $\alpha^j$ 를 출력하는 제 3  $m$  비트 멀티플렉서;

상기 제 2 신드롬 저장부의 출력과 상기 제 3  $m$  비트 멀티플렉서의 출력을 곱하는 제 3 곱셈기;

$m$  또는  $2m$  비트 모드에 따라 각각 0 또는 상기 입력되는 데이터의 상위  $m$  비트를 출력하는 제 4  $m$  비트 멀티플렉서;

상기 제 3 곱셈기의 출력과 상기 제 4  $m$  비트 멀티플렉서의 출력을 더하는 제 3 덧셈기;

상기 제 3 덧셈기의 출력과 생성 다항식의 근  $\alpha^j$  ( $j=0, 1, \dots, N-K-1$ )를 곱하는 제 4 곱셈기; 및

상기 제 4 곱셈기의 출력과 상기 입력되는 데이터의 하위  $m$  비트를 더하는 제 4 덧셈기;를 포함하며,

상기 제 4 덧셈기의 출력은 상기 제 2 신드롬 저장부에 저장되었다가 출력되는 것을 특징으로 하는  $m$  또는  $2m$  비트 데이터 처리 겸용 리드 솔로몬 복호기.

**【청구항 15】**

디코딩될 데이터와 이레이저 플래그를 독출하는 단계;

상기 독출된 데이터로 부터 에러 위치와 에러값을 계산하는 단계; 및

상기 계산된 에러 위치와 에러값들에 의해 상기 독출된 데이터의 오류를 정정하여 디코딩하는 단계;를 포함하는 것을 특징으로 하는 리드 솔로몬 복호 방법.

**【청구항 16】**

제 15항에 있어서, 상기 데이터 독출 단계는 2m 비트 단위로 데이터를 독출하는 것을 특징으로 하는 리드 솔로몬 복호 방법.

**【청구항 17】**

제 15 항에 있어서, 상기 데이터 독출 단계는:

상기 독출된 이레이저 플래그로 부터 이레이저 위치 다항식을 계산하는 이레이저

위치 다항식 계산 단계;

상기 독출된 데이터로 부터 제 1 신드롬 다항식을 계산하는 제 1 신드롬 다항식 계산 단계;

상기 독출된 데이터로 부터 제 2 신드롬 다항식을 계산하는 제 2 신드롬 다항식 계산 단계;

상기 계산된 이레이저 위치 다항식과 상기 계산된 제 1 신드롬 다항식으로 부터 제 1 에러타 위치 다항식을 계산하고 지연된 제 1 신드롬 다항식을 출력하는 제 1 에러타 위치 다항식 계산 단계;

상기 제 1 에러타 위치 다항식과 상기 지연된 제 1 신드롬 다항식으로 부터 제 1  
에러 플레그, 제 1 에러 위치 및 제 1 에러값을 계산하는 제 1 에러 위치/값 계산 단계;  
상기 계산된 이레이져 위치 다항식과 상기 계산된 제 2 신드롬 다항식으로 부터 제  
2 에러타 위치 다항식을 계산하고 지연된 제 2 신드롬 다항식을 출력하는 제 2 에러타  
위치 다항식 계산 단계; 및  
상기 제 2 에러타 위치 다항식과 상기 지연된 제 2 신드롬 다항식으로 부터 제 2  
에러 플레그, 제 2 에러 위치 및 제 2 에러값을 계산하는 제 2 에러 위치/값 계산 단계;  
를 포함하는 것을 특징으로 하는 리드 솔로몬 복호 방법.

### 【청구항 18】

제 14 항에 있어서, 상기 계산 단계는:

상기 독출된 데이터로 부터 제 1 에러 위치와 제 1 에러값을 계산하는 제 1 계산 단계; 및

상기 독출된 데이터로 부터 제 2 에러 위치와 제 2 에러값을 계산하는 제 2 계산 단계;를 포함하는 것을 특징으로 하는 리드 솔로몬 복호 방법.

### 【청구항 19】

제 18 항에 있어서, 상기 제 1 계산 단계는:

상기 독출된 이레이져 플레그로 부터 이레이져 위치 다항식을 계산하는 이레이져 위치  
다항식 계산 단계;

상기 독출된 데이터로 부터 제 1 신드롬 다항식을 계산하는 제 1 신드롬 다항식 계  
산 단계;

상기 계산된 이레이져 위치 다항식과 상기 계산된 제 1 신드롬 다항식으로 부터 제 1 에러타 위치 다항식을 계산하고 지연된 제 1 신드롬 다항식을 출력하는 제 1 에러타 위치 다항식 계산 단계; 및

상기 제 1 에러타 위치 다항식과 상기 지연된 제 1 신드롬 다항식으로 부터 제 1 에러 플레그, 제 1 에러 위치 및 제 1 에러값을 계산하는 제 1 에러 위치/값 계산 단계; 를 포함하는 것을 특징으로 하는 리드 솔로몬 복호 방법.

### 【청구항 20】

제 19 항에 있어서, 상기 제 1 신드롬 다항식 계산 단계는:

$2m$  비트 단위의 데이터가 입력되는 경우  $S_j = \alpha'(S_{j-1}\alpha' + UM) + DM$ 을 만족하고;

$m$  비트 단위의 데이터가 입력되는 경우  $S_j = S_{j-1}\alpha' + UM$ 을 만족하며;

여기서,  $S_j$ 는 현재의 신드롬 다항식이고,

$S_{j-1}$ 은 이전의 신드롬 다항식이며,

$\alpha'$ 는 생성다항식의 근이며,

$UM$ 은  $2m$  비트 데이터의 상위  $m$ 비트이고,

$DM$ 은  $2m$  비트 데이터의 하위  $m$ 비트인 것을 특징으로 하는 리드 솔로몬 복호 방법.

### 【청구항 21】

제 18 항에 있어서, 상기 제 2 계산 단계는:

상기 독출된 데이터로 부터 제 2 신드롬 다항식을 계산하는 제 2 신드롬 다항식

계산 단계;

상기 계산된 이레이져 위치 다항식과 상기 계산된 제 2 신드롬 다항식으로 부터 제 2 에러타 위치 다항식을 계산하고 지연된 제 2 신드롬 다항식을 출력하는 제 2 에러타 위치 다항식 계산 단계; 및

상기 제 2 에러타 위치 다항식과 상기 지연된 제 2 신드롬 다항식으로 부터 제 2 에러 플레그, 제 2 에러 위치 및 제 2 에러값을 계산하는 제 2 에러 위치/값 계산 단계; 를 포함하는 것을 특징으로 하는 리드 솔로몬 복호 방법.

### 【청구항 22】

제 21 항에 있어서, 상기 제 2 신드롬 다항식 계산 단계는:

$2m$  비트 단위의 데이터가 입력되는 경우  $S_j = \alpha'(S_{j-1}\alpha' + UM) + DM$ 을 만족하고;

$m$  비트 단위의 데이터가 입력되는 경우  $S_j = S_{j-1}\alpha' + DM$ 을 만족하며;

여기서,  $S_j$ 는 현재의 신드롬 다항식이고,

$S_{j-1}$ 은 이전의 신드롬 다항식이며,

$\alpha'$ 는 생성다항식의 근이며,

$UM$ 은  $2m$  비트 데이터의 상위  $m$ 비트이고,

$DM$ 은  $2m$  비트 데이터의 하위  $m$ 비트인 것을 특징으로 하는 리드 솔로몬 복호 방법.

### 【청구항 23】

$2m$ 비트 단위로 내부호어를 입력하여,  $2m$  비트 단위로 제 1 신드롬 다항식을 계산하는 단계(P11);

2m 비트 단위로 내부호어를 입력하여, 2m 비트 단위로 제 2 신드롬 다항식을 계산하는 단계(P21);

상기 계산된 제 1 및 제 2 신드롬 다항식과 이레이져 위치 다항식을 입력으로 하여 제 1 및 제 2 에러타 위치 다항식을 계산하는 단계(P12, P22); 및

상기 제 1 및 제 2 에러타 위치 다항식과 상기 제 1 및 제 2 신드롬 다항식에 의해 제 1 및 제 2 에러값과 제 1 및 제 2 에러위치를 계산하고, m 비트씩 교대로 정정하는 단계(P13, P23);를 포함하는 것을 특징으로 하는 RS 곱부호의 내부호 정정 방법.

#### 【청구항 24】

2m비트 단위의 외부호를 읽어 상위 m 비트로 부터 제 1 신드롬 다항식을 계산하고, 하위 m 비트로 부터 제 2 신드롬 다항식을 계산하는 단계하고, 이레이져 플레그를 읽어 이레이져 위치 다항식을 계산하는 과정을 동시에 수행하는 단계(P15, P25);

상기 제 1 및 제 2 신드롬 다항식과 이레이져 위치 다항식으로 부터 제 1 및 제 2 에러타 위치 다항식을 계산하는 단계(P17, P27);

상기 제 1 및 제 2 에러타 위치 다항식과 상기 제 1 및 제 2 신드롬 다항식으로 부터 에러값과 에러위치를 계산하고 m 비트씩 교대로 정정하는 단계(P19, P29);를 포함하는 것을 특징으로 하는 RS 곱부호의 외부호 정정 방법.

#### 【청구항 25】

제 24항에 있어서, m 비트 단위의 리드 솔로몬 복호기로 동작시키려면 m 비트의 데이터를 저장부(210)의 상위 m 비트 메모리에 저장하고, m 비트 정정 모드로 설정하여 저

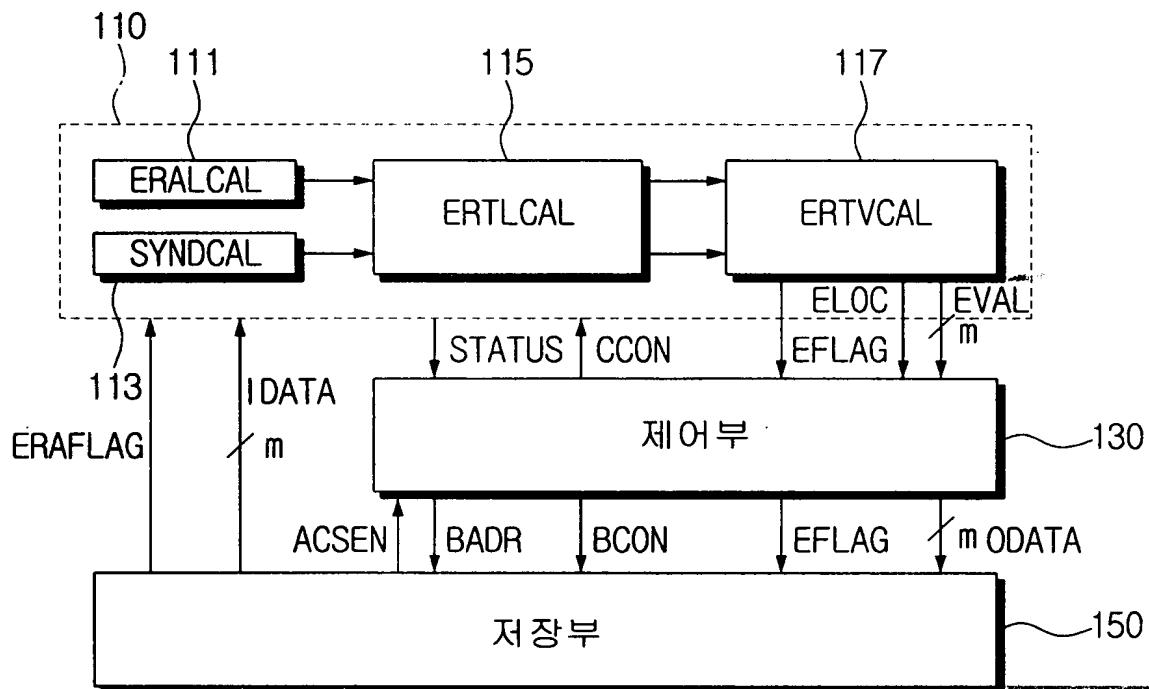
1020010005970

2001/3/2

장부(210)를 액세스할 수 없도록 제 2 RS 코어(250)를 디스에이블하는 것을 특징으로 하는 리드 솔로몬 복호기.

## 【도면】

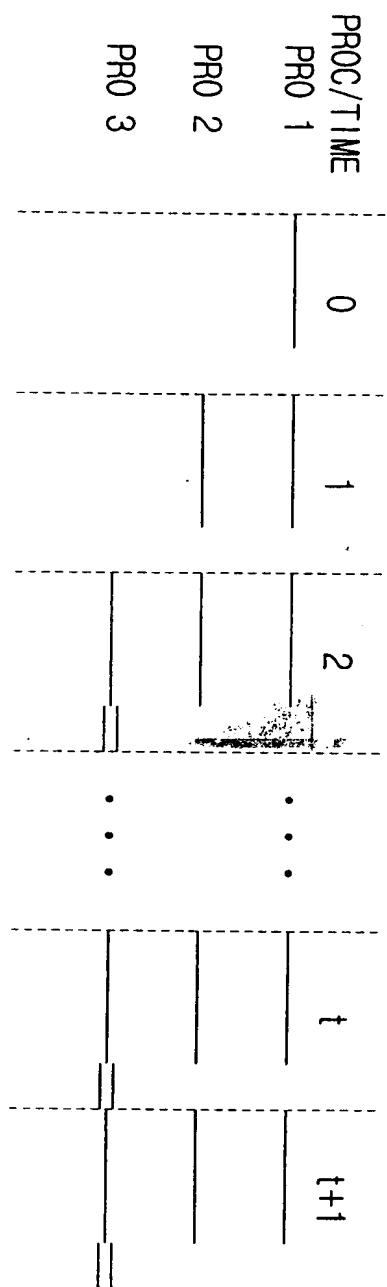
【도 1】



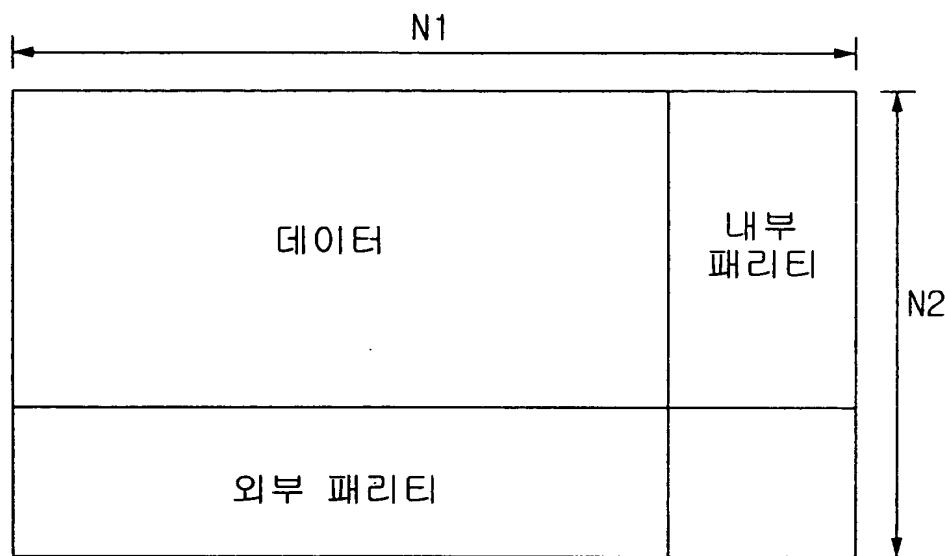
1020010005970

2001/3/2

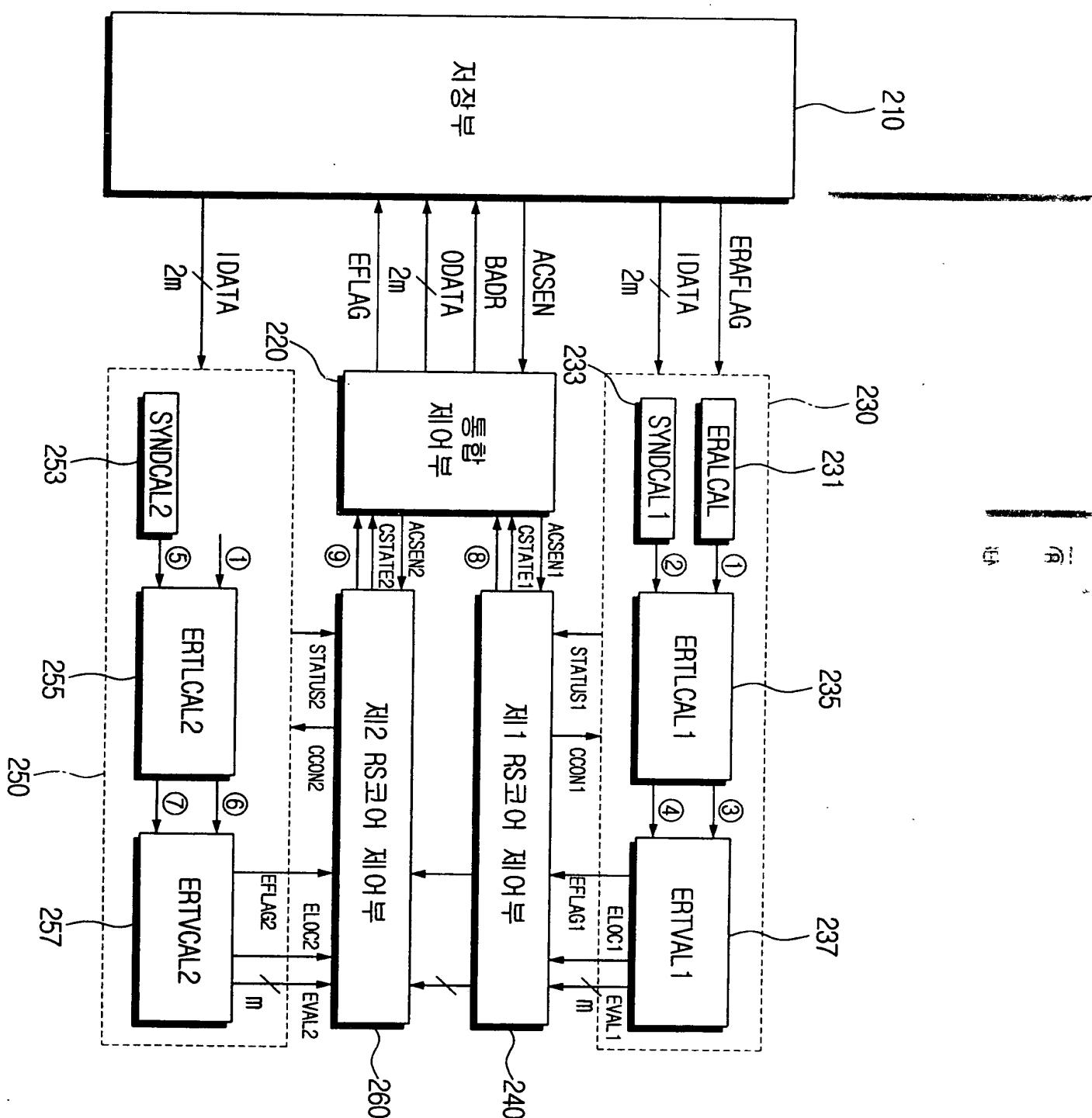
【도 2】



【도 3】



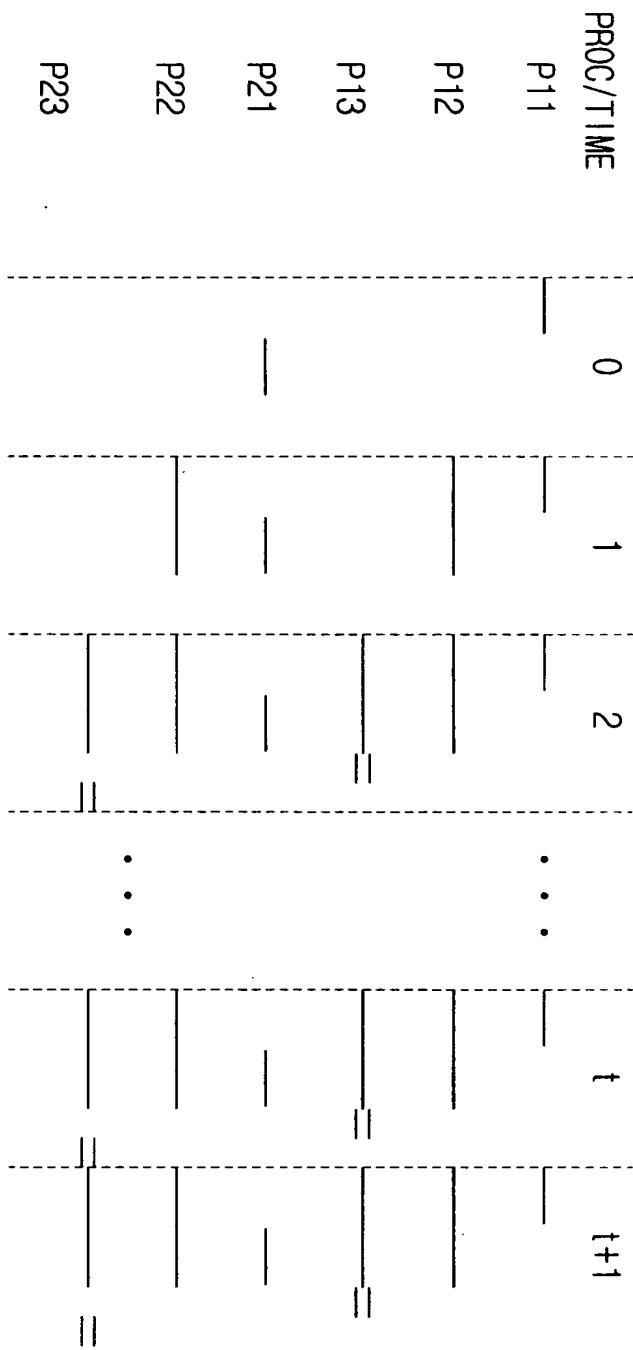
【도 4】



1020010005970

2001/3/2

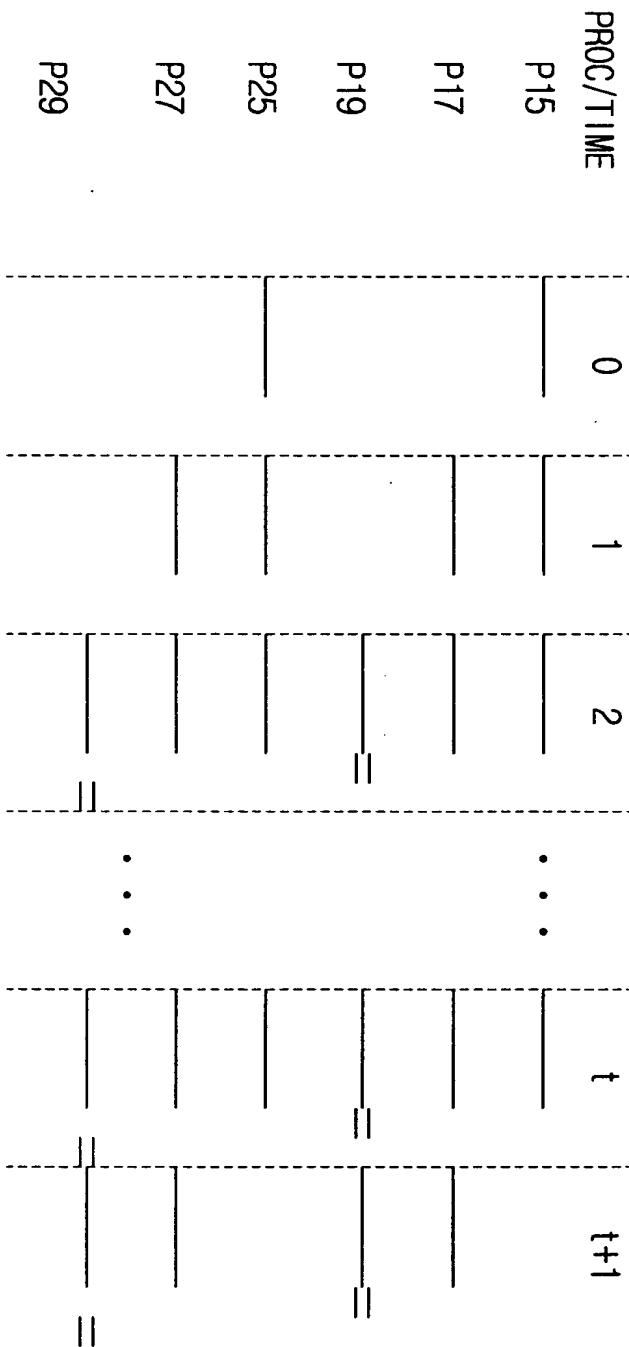
【图 5】



1020010005970

2001/3/2

【图 6】



【도 7】

